



## BEST AVAILABLE COPY

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-37394

⑬ Int. Cl.<sup>4</sup>.

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)2月18日

 G 09 G 3/20  
 // G 09 G 3/36

 7335-5C  
 8621-5C

審査請求 未請求 発明の数 2 (全 8 頁)

⑯ 発明の名称 マトリクス表示装置

⑰ 特 願 昭61-179971

⑱ 出 願 昭61(1986)8月1日

⑲ 発 明 者 大 和 田 淳 一 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

⑲ 発 明 者 北 島 雅 明 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

⑲ 発 明 者 川 上 英 昭 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑲ 代 理 人 弁理士 小川 勝男 外2名

## 明 細 書

## 1. 発明の名称

マトリクス表示装置

## 2. 特許請求の範囲

## 1. 複数の走査電極と、

複数の信号電極と、

上記走査電極と上記信号電極との交差する位置に対応して配設され、一方の主端子が上記信号電極に、他方の主端子が上記走査電極に、制御端子が表示要素に突き接される複数のスイッチング素子と、

上記複数の走査電極の少なくとも一つを順次選択する走査制御回路を上記複数の走査電極に供給する走査制御回路と、

上記複数の走査電極の少なくとも一つが選択されているときに、上記複数の信号電極に対応する表示情報信号の少なくとも一つを順次選択する選択手段、

上記選択手段によつて選択された上記表示情報信号を、少なくとも対応する走査電極の選択

が終了されるまで保持する保持手段、

上記保持手段によつて保持された上記表示情報信号に基づいて、複数の電圧レベルの一つを選択して上記信号電極に供給する電圧変換手段、を有する信号制御回路と、を具備することを特徴とするマトリクス表示装置。

2.  $I (\geq 2)$  個の走査電極と、

連続して配設される  $M (\geq 2)$  個を一つのグループとし、 $N (\geq 2)$  個のグループに分割される  $J (= M \times N)$  個の信号電極と、

上記走査電極と上記信号電極との交差する位置に対応して配設され、一方の主端子が上記信号電極に、他方の主端子が上記走査電極に、制御端子が表示要素に突き接される  $I \times J$  個のスイッチング素子と、

上記  $I$  個の走査電極の少なくとも一つを順次選択する走査制御回路を上記  $I$  個の走査電極に供給する走査制御回路と、

上記  $I$  個の走査電極の少なくとも一つが選択

## 特開昭63-37394(2)

されているときに、上記J個の信号電極に対応する表示情報信号のうちのN個を順次M回選択する選択手段。

上記選択手段によつて選択された上記表示情報信号を、少なくとも対応する走査電極の選択が終了されるまで保持する保持手段。

上記保持手段によつて保持された上記表示情報信号に基づいて、複数の電圧レベルの一つを選択して上記信号電極に供給する電圧変換手段、を有する信号駆動回路と、を具備することを特徴とするマトリクス表示装置。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

本発明はマトリクス表示装置に係り、特に、薄膜トランジスタ(TFT)等を用いた液晶、EL、ECD等のアクティブマトリクス表示装置に関する。

## 〔従来の技術〕

TFTを用いたアクティブマトリクスディスプレイ

レイは表示部と共にTFT素子による周辺駆動回路を同一基板上に一体化したディスプレイを形成できることから、ディスプレイの小型化、低価格が実現できる可能性が大きい。この周辺駆動回路については、アイ・イー・イー・イー、プロセス・ディング 59(1971年)第1586頁(Proceeding of IEEE, 69, 1586(1971))に提案されて以来、特開昭56-90386号公報、あるいは特開昭57-201288号公報に記載されたような回路が提案されている。

## 〔発明が解決しようとする問題点〕

これらの回路構成は少ない数のTFT等のスイッチング素子により液晶、EL、ECD等の表示要素を駆動でき、外部との接続数も軽減できるため有効な構成であるが、以下に述べる点で改善の余地がある。まず第一に、表示要素に印加された信号電圧は駆動回路のTFT等のスイッチング素子がオフ状態となり、信号配線容量C<sub>1</sub>に保持され、表示要素の走査電圧が選択状態となった回路のTFT等のスイッチングに印加される。このと

き液晶層に印加される電圧は信号配線容量C<sub>1</sub>(必要に応じて容量を作り込む場合には、その容量は並列に加わる)と液晶層の容量C<sub>10</sub>との容量分圧により電圧が決定される。このため信号配線容量C<sub>1</sub>を液晶層の容量C<sub>10</sub>より十分大きくするように設計する。このとき、もし、信号電極と二層配線構造で交叉した走査電極との間の抵抗R<sub>1</sub>が小さい場合、あるいは、TFT等のスイッチング素子のゲート電極とドレイン電極との抵抗R<sub>2</sub>が小さい場合には、信号配線容量C<sub>1</sub>に保持された電圧がこれらの抵抗を通して放電してしまい、表示部のTFT等のスイッチング素子に印加する電圧の低下をきたす。この現象は信号配線に接続された全ての二層配線またはTFT等のスイッチング素子のうち、どれか1個が抵抗不足であっても発生し、この信号配線ではつねに、表示部のTFT等のスイッチング素子に印加される電圧が低下するため、表示の固定パターンとなり、表示むらの原因となり、極端な場合には黒欠陥となってしまう。

次の問題点としては、入力データをシリアルにビデオ信号から印加しており、表示部に印加する電圧が逐次変化するあるいは複数配線を1まとめとし時分割的に順次変化する駆動方式となるため、信号電極に電圧が印加されない期間が生じ、電圧を印加する期間が短くなる面影が存在する。もし、表示部のTFT等のスイッチング素子の相互コンダクタンスg<sub>m</sub>が十分大きい場合には、TFT等のスイッチング素子が液晶等の表示要素層を短い期間に充電可能であり問題はないが、相互コンダクタンスg<sub>m</sub>を大きくとれない場合には電圧印加期間の短かい面影では液晶等の表示要素層に電圧が印加できなくなるため、表示のむらが生じたり、また、電圧印加期間の短縮により、表示部の走査感度制限が生ずる。

このように上記従来技術は表示部の駆動特性の面で問題されておらず、表示画像の均一性の点、あるいは、表示部のTFT等のスイッチング素子特性を良好に形成しなければならぬ点、また二層配線、TFT等のスイッチング素子の斜傾電極

特開昭63-37394(3)

の絶縁膜を表示部全面にわたり良好な絶縁特性に形成しなければならない点等の問題があった。

また、液晶駆動用のLSIのように、駆動回路が可能な回路を形成すれば、上記の如き問題は解決できるが、LSIに使用される回路はトランジスタ素子の高速動作が要求されるため、非結晶質（非晶質または多結晶質）の半導体薄膜を使用したTFT素子では、動作速度が不足すること、さらにLSIでは、回路形成が複雑であり、1段当たり多数のトランジスタ素子を使用するため大面積ディスプレイでは回路の歩留りの点で形成が困難である点の問題点があった。

本発明の目的は、非結晶質の半導体薄膜を使用したTFT素子のように、高速動作が困難なスイッチング素子を用いて、大面積のマトリクス表示装置を提供することにある。

【問題点を解決するための手段】

上記目的を達成する本発明の第1の特徴とするところは、  
複数の走査電極と、

を具備することにある。

上記目的を達成する本発明の第2の特徴とするところは、

$I (\geq 2)$  個の走査電極と、  
 連続して配置される $M (\geq 2)$  個を一つのグループとし、 $N (\geq 2)$  個のグループに分割される $J$   
 ( $\sim M \times N$ ) 個の信号電極と、

上記走査電極と上記信号電極との交差する位置に対応して配置され、一方の主端子が上記信号電極に、他方の主端子が上記走査電極に、側面端子が表示基板上に夫々接続される $I \times J$  個のスイッチング素子と、

上記 $I$  個の走査電極の少なくとも一つを順次選択する走査駆動回路を上記 $I$  個の走査電極に供給する走査側駆動回路と、

上記 $I$  個の走査電極の少なくとも一つが選択されているときに、上記 $J$  個の信号電極に対応する表示情報信号のうちの $N$  個を順次 $M$  回選択する選択手段、

上記選択手段によつて選択された上記表示情報

複数の信号電極と、

上記走査電極と上記信号電極との交差する位置に対応して配置され、一方の主端子が上記信号電極に、他方の主端子が上記走査電極に、側面端子が表示基板上に夫々接続される複数のスイッチング素子と、

上記複数の走査電極の少なくとも一つを順次選択する走査駆動回路を上記複数の走査電極に供給する走査側駆動回路と、

上記複数の走査電極の少なくとも一つが選択されているときに、上記複数の信号電極に対応する表示情報信号の少なくとも一つを順次選択する選択手段、

上記選択手段によつて選択された上記表示情報信号を、少なくとも対応する走査電極の選択が終了されるまで保持する保持手段、

上記保持手段によつて保持された上記表示情報信号に基づいて、複数の電圧レベルの一つを選択して上記信号電極に供給する電圧変換手段、を有する信号側駆動回路と、

信号を、少なくとも対応する走査電極の選択が終了されるまで保持する保持手段、

上記保持手段によつて保持された上記表示情報信号に基づいて、複数の電圧レベルの一つを選択して上記信号電極に供給する電圧変換手段、  
 を有する信号側駆動回路と、  
 を具備することにある。

【作用】

保持手段によつて、表示情報信号は少なくとも対応する走査電極の選択が終了するまで保持されるので、信号電極には、複数の電圧レベルの一つが常に印加され、スイッチング素子が高インピーダンス状態になることがないため表示むらが生じたりしなくなり、大面積のマトリクス表示装置が得ることができる。

【実施例】

以下、本発明の一実施例を図1図により説明する。本発明の回路は主にディスプレイの信号電圧パルスを生ずる構成を述べるが、電圧を生ずるタイミング、電圧レベルを変えることにより、

特開昭63-37394(4)

走査側の走査電圧パルスが発生することも可能である。図1図は、ガラス、プラスチックフィルム等の透明絶縁基板20上にスイツチング素子であるTFT素子10により表示部とその駆動回路部を形成し、上記基板と対向し共通電極基板12を設け、それら2枚の基板間に表示要素となる液晶11を封入したものである。表示部の構成としては、アクティブマトリクス液晶ディスプレイとして公知のように、複数の「J」( $\geq 2$ )個の信号電極配線5とそれと交差する複数の「I」( $\geq 2$ )個の走査電極配線13との交叉する位置に対応して $I \times J$ 個のTFT素子10を配設する。TFT素子10の一方の主端子となるドレイン電極を信号電極5に、制御端子となるゲート電極を走査電極13に、他方の主端子となるソース電極を表示要素となる液晶11を駆動するための透明電極に接続したものである。上述のTFT素子10は、以下、nチャネル動作のTFT素子を例として説明する。走査駆動回路14は、I個の走査電極13の少なくとも一つを順次選択する走査駆動信号を

I個の走査電極13に与え供給するもので、基板20の外側に設けられるが、基板20内にTFT素子等で集積化しても良い。

本実施例は表示部の信号配線5に印加する電圧を発生するための信号駆動回路部として、複数のTFT素子1のゲート電極を共通に接続し、それぞれのドレイン電極はデータライン群2に順次接続され、またソース電極はメモリー回路3に接続され、上記メモリー回路3の出力は電圧変換回路4に接続される。電圧変換回路4の出力は表示部の信号電極5に接続する。このように複数のTFT素子1のゲート電極を共通に接続したものを恒定的にブロックと呼ぶことにする。信号駆動回路部はブロックを複数の「M」( $\geq 2$ )個により形成し、各数の信号配線を駆動する。J個の信号電極5は、逐次して配設されるM( $\geq 2$ )個を一つのグループとし、N(32)個のグループに分割される。データライン2に対しては、外付け(基板20内にTFT素子等によつて集積化しても良い)したデータ信号発生回路6から表示情報信号を印加し、

N個の各ブロックのゲート電極には、ブロック走査回路9から、走査電極13の少なくとも一つが選択されているときに、ブロックを順次選択決定する電圧を印加する。この走査電圧により、オン状態となつたTFT素子群が、走査電圧とほぼ等しい時間で印加されたデータ電圧をメモリー回路3に取り込む。TFT素子1及びブロック走査回路9が選択手段を構成する。

尚、データ信号発生回路6とブロック走査回路9は基板20の外に設けたが、少なくともどちらか一方を基板20内にTFT素子等によつて集積化しても良い。メモリー回路3は、データを、水平走査ライン13の1本の選択電圧が終了するまで、あるいは、次の水平走査ラインが選択された間まで次のデータ信号が印加されるまで、データを保持する保持手段としての機能を有する。上記のメモリー回路3の出力はメモリー回路3がデータを保持している間だけ出力を保持し、この出力値に対して、複数の電圧レベルライン8により外隔(基板20内に集積化しても良い)電圧レベ

ル出力回路7から印加される複数の電圧レベルから一つの電圧レベルを選択し、信号駆動回路部を信号配線5に印加する。ここで、保持手段となるメモリー回路3は、容量1個で形成された簡単な回路から、フリップフロップ回路のように多数のTFT素子から形成された回路でも良く、TFT素子の入力容量を利用して形成した回路でも良い。また電圧変換回路4はメモリー回路3の出力データにより多数の電圧レベルラインから選択する機能を有する回路であり、回路の入力数と出力数とは一致する必要はなく、表示する画像の階調等を作るため、その階調等により出力の数が変化する。

図2図に図1図の実施例の変形例を示す。メモリー回路3として容量16を形成し、TFT素子1と組み合わせて、データライン2からTFT素子1を逐次して印加されたデータを保持する。この変形例では、この容量の電圧をインバータ回路17により反転し、インバータ回路17の入力と出力とのたがいに差相となる電圧を発生し、電圧変換回路4に印加する。電圧変換回路4に対しては2

## 特開昭63-37394(5)

図の電圧レベル8が入力しており、これらのいずれか一方の電圧レベルを選択し、表示部の信号配線5に電圧を印加する。本実施例の回路により、オンオフの2値画像、あるいは、公知の技術により、R0B8色のフィルタを用いてカラー画像を表示する場合には、それぞれの色を2値で変換させ、マルチカラーの表示をする場合に有効な構成となる。

第2図の回路の具体的な構成例を図3図(a)、および図3図(b)に示す。第3図(a)の回路はデータ取り込み用のTFT素子 $T_1$ と、インバータ回路17を形成するTFT素子 $T_2$ 、 $T_3$ とさらに電圧変換回路を形成する2個のTFT素子 $T_4$ 、 $T_5$ により構成された回路により、一本の信号配線5を駆動することができる。次に第3図(b)はTFT素子 $T_2$ 、 $T_3$ というインバータ回路をバッファとして取り、 $T_2$ からの出力の増幅及び電圧レベル変換を行い、 $T_4$ 、 $T_5$ のTFT回路の駆動力を向上させた構成である。

第3図(a)、(b)に示した回路はいずれも、

$t_2$ 内では、全ての電圧変換回路4の出力部は高インピーダンス状態になることがないため、信号配線5と定電圧13との間の漏れ抵抗 $R_1$ がTFT素子10のオン抵抗 $R_{on}$ の2桁程度以上あれば良い。これは、表示パネルを形成する上で非常に有利となる。また、表示部に書き込む時間が全ての信号電圧において $t_2$ 以上の時間となるため、表示部のTFT素子の時にオン抵抗 $R_{on}$ が小さくなくとも、液晶層へ電圧を印加することが可能となる。このことは、特に大面積表示装置を形成する場合に、水平定数係数が増加して、1定電圧へのアドレス時間が短くなるため、それに比例し表示部のTFT素子のオン抵抗 $R_{on}$ を極端に小さくする必要があり、このとき、1定電圧へのアドレス時間の半分程度を要することができ、TFT素子の設計が容易となる。

ここで、ブロックへの定電圧 $\phi_1$ 、 $\phi_2$ 、… $\phi_m$ のそれぞれの時間 $t_1$ 、 $t_2$ 、… $t_m$ を定えたり、さらに、ブロック内に含まれるTFTの数を定え、ブロック数を定えたりすることにより、 $t_1$ と $t_2$ との割

データを読み込む部分と、表示部に電圧を印加する部分を分離して設計することが可能である。すなわち表示部を駆動する場合に、その表示部の面積、1信号配線に接続される負荷の大きさ等の条件に対して、電圧変換回路4のTFT素子の形状を設計し、また、データ信号の速度に対しては、1ブロック内のTFT素子1の数や、メモリー回路の負荷等を設計するという設計法が適用できる。

第4図は、これまで述べた実施例の駆動力について示したものである。水平の定電圧 $\phi_1$ 3を順次選択する定電圧駆動電圧信号 $V_1$ の1つの定電圧 $\phi_1$ 3が選択される選択期間 $t_1$ 内を $t_{11}$ 、及び $t_{12}$ という2つの時間に分ける。すなわち $t_1$ の間にブロック定電圧 $\phi_1$ 、 $\phi_2$ 、… $\phi_m$ により、垂直信号ラインに接続された回路を定電圧、ブロック内のTFT素子を通して信号データをメモリー回路に取り込む。次に $t_2$ において、全てのメモリー回路の出力により、電圧変換回路から信号配線に電圧を印加し、表示部のTFT素子10に表示画像に対応した電圧を書き込む。この

書き込みを繰り返すことができ、表示部のTFT素子特性に合わせて、 $t_1$ の値を設定することが可能となる。

第5図は、第1図の実施例の変形例である。すなわち、メモリー容量3の出力を直接電圧変換回路4に接続している。1本の信号配線5を駆動するために2本のデータライン2と2個のTFTを用いている。第3図の実施例と比較して、データラインの数は2倍となるが、インバータ回路を省略することができ、回路構成も簡略化される。

本実施例の場合には、データラインに入力する電圧が2本1組でしかも組となるデータラインではたがいに関数関係のデータを入力する必要があるが、これは、データライン2の入力部に第6図に示すようなCMOS回路を設ければ良い。

これまで述べた実施例は全て、表示部の表示情報がオンオフ2階調の場合について述べた。第7図は、本発明を中間調表示に用いた例である。すなわち、1ブロック内の3個のTFT素子1を1組とし、それぞれ保持手段となるメモリー用の電

## 特開昭63-37394(6)

量3と電圧変換回路TPT素子を設け、3レベルの電圧ライン8のいずれか1つの電圧レベルを選択することにより、3段階の表示を行うものである。この構成でも、前述の実施例と同様なタイミングでの動作が可能であり、非常に簡単な構成により中間階表示が実現できる。図7図の実施例は3段階の階表示を表示する例であるが、さらに多段階の表示についても同様な方法により、実現できることは明らかである。

また、ブロックに分割しなく、一般の点灯決定を行なうマトリクス表示装置にも本発明は適用できる。

図8図は、これまで述べた実施例に対し、メモリー回路3を2段階とし、トランスファゲート18をそれらの間に接続したものである。1段目のメモリー回路3には、表示する1水平走査ラインの間の期間にデータを読み込み、水平走査ラインに電圧が印加された時に、だけトランスファゲート18をオン状態としてメモリー回路3のデータをメモリー回路3'に転送する。そし

て、残りの期間に、において、電圧変換回路から表示部へ電圧を印加する。

この構成はデータの入力期間に、及び表示部への電圧印加期間に、とも十分長くとれるという利点がある。

以上、各実施例は、表示パネル基板上に回路を内蔵するという前提で述べたが、本実施例は特に現在使用されているLSIの高速化という観点から、LSI化して表示パネル外部から接続できることはいうまでもない。

本発明の各実施例によれば、マトリクス状に接続したTPT素子群と、メモリー回路、電圧変換回路というように、各回路とも、TPT素子1〜2個、あるいは容量1個で形成できるため、数少ない素子数により、信号伝導回路が形成でき、しかも、データの取り込み部と表示部への電圧印加部を別回路で形成するため、それぞれ、TPT素子特性を最大限に利用した構成が可能であり、特性の良好な回路が形成できる。さらに、表示部の2層配線の簡潔な試やゲート電極とドレイン電

極の絶縁抵抗の低下に対しても良好な表示が可能であり、表示部のTPT素子のオン特性も従来の縦断次走査とはほぼ同様な特性で十分である。このように、本発明の各実施例はTPT素子により、容易に、かつ、表示部への特性の要求を厳しくすることなく、信号伝導回路が形成できる効果がある。

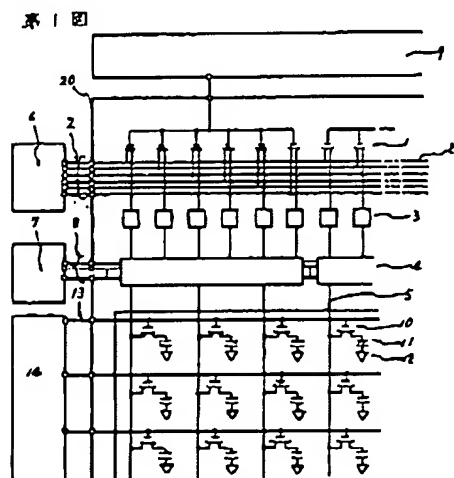
## 〔発明の効果〕

本発明によれば、高速動作が困難なスイツチング素子を用いても、大面積のマトリクス表示装置を築ることができる。

## 4. 図面の簡単な説明

図1図は本発明一実施例であるマトリクス表示装置の全体的な構成図。図2図、図3図、図5図、図6図、図7図、図8図は本発明の実施例の回路構成図。図4図、図9図は本実施例の駆動波形のタイミング図である。

1、10…TPT素子、2…データライン、3…メモリー回路、4…電圧変換回路、5…信号伝導、13…定電流電極。

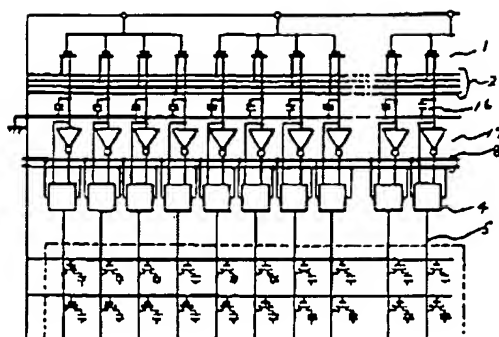


- |             |             |
|-------------|-------------|
| 1…TPT素子     | 8…電圧レベル     |
| 2…データライン    | 9…フローティング回路 |
| 3…メモリー回路    | 10…素子群TPT素子 |
| 4…電圧変換回路    | 11…定電流      |
| 5…信号伝導      | 12…定電流回路    |
| 6…ゲート電力回路   | 13…定電流電極    |
| 7…電圧レベル出力回路 | 14…電圧変換回路   |

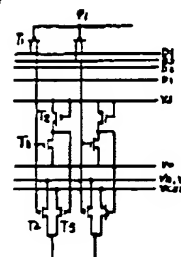
代理人 弁護士 小川勝男

特開昭 63-37394 (7)

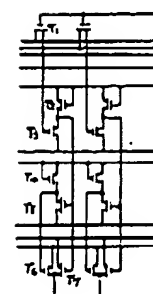
第 2 図



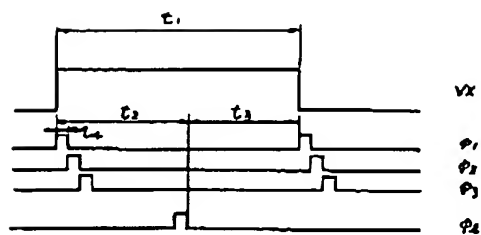
第 3 図 (a)



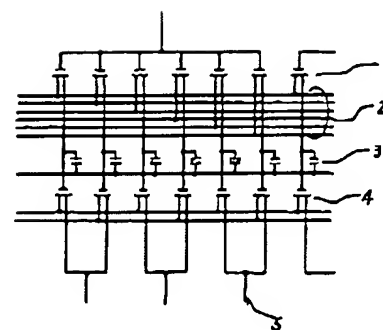
第 3 図 (b)



第 4 図



第 5 図

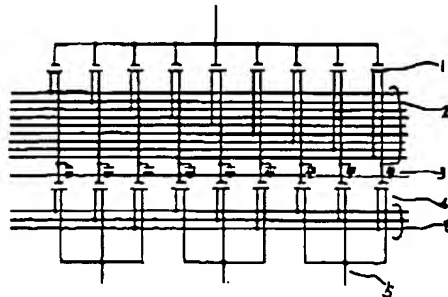


第 6 図

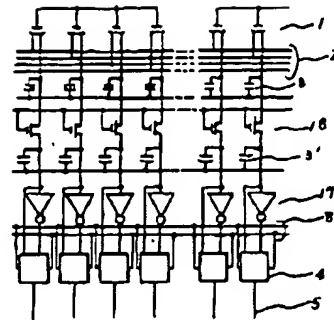


特開昭63-37394(8)

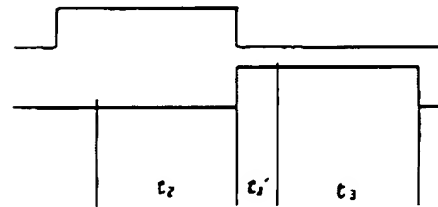
第 7 図



第 8 図



第 9 図





**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**